Sobre a DE5a-Net-DDR4

Por Raphael Costa e Rafael Corsi

## Especificação da FPGA

* Nome
  + Intel Arria® 10 GX FPGA (10AX115N2F45E1SG)
* Configurações
  + On-Board USB Blaster II or JTAG header for FPGA programming
  + Fast passive parallel (FPPx32) configuration via MAX II CPLD and flash memory
* Inputs/Outputs
  + 8 LEDs
  + 4 push-buttons
  + 2 slide switches
  + 2 seven-segment displays (Display de 7 segmentos)
* Clocks
  + 50MHz Oscillator
  + Programable clock generators Si5340A and Si5340B
  + One SMA connector for external clock input
  + One SMA connector for clock output
* Memória
  + DDR4 SO-DIMM SDRAM
  + QDRII+ SRAM
  + FLASH
* Portas de Comunicação
  + Four QSFP+ connectors
  + PCI Express (PCIe) x8 edge connector
  + One RS422 transceiver with RJ45 connector
* Sistemas de monitoramento e controle
  + Temperature Sensor
  + Fan control
  + Power monitor
* Energia
  + PCI Express 6-pin power connector, 12V DC Input
  + PCI Express edge connector power
* Especificações mecânicas
  + PCI Express full-height and ¾-length

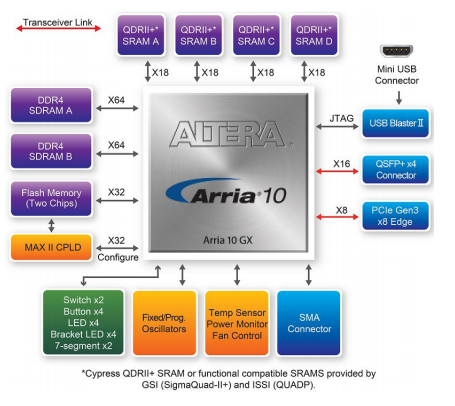


Imagem 1: diagrama de blocos do chipset da placa

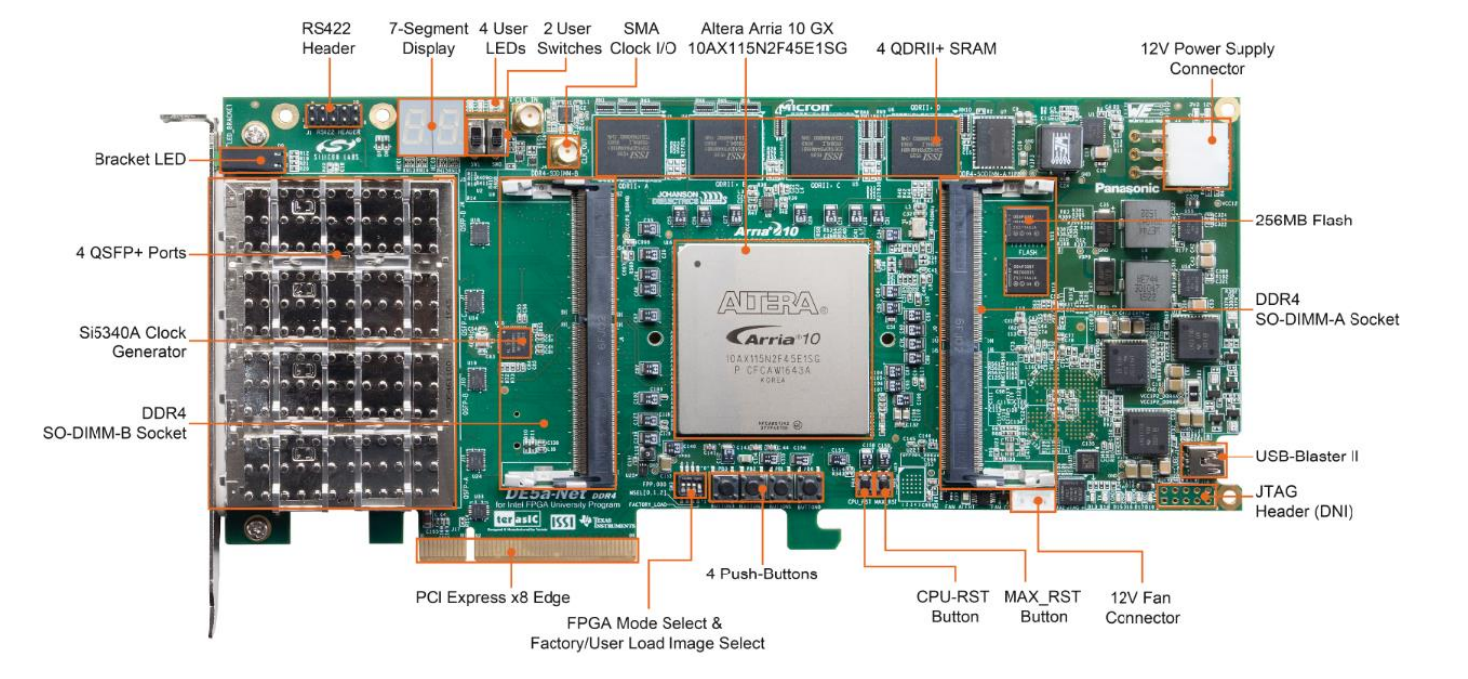


Imagem 2: disposição dos componentes na placa

# Bibliografia

[1] DE5a-Net-DDR4 Manual